

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-027270

(43)Date of publication of application : 30.01.1989

(51)Int.Cl.

H01L 29/78

H01L 27/12

(21)Application number : 62-182144

(71)Applicant : AGENCY OF IND SCIENCE &
TECHNOL

(22)Date of filing : 23.07.1987

(72)Inventor : HAZAMA HIROAKI

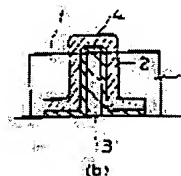
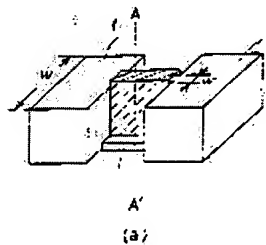
(54) FIELD-EFFECT TYPE SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To inhibit the lowering of punch-through breakdown strength, the decrease of electric-field drive and the lowering of current driving force by reducing the size of a channel region to an extent that depletion layers extending from a channel surface when gate potential is applied so as to invert the channel surface are brought into contact mutually before an inversion layer is formed.

CONSTITUTION: A channel region 3 in width (w) is shaped between source-drain sections 1, and a gate insulating film 4 is applied so as to coat the channel region and a gate region 2 further onto the gate insulating film 4, thus forming a gate section. That is (w) is brought to not more than size where depletion layers

extending into the channel region when voltage is applied to a gate electrode are brought into contact mutually before an inversion layer is shaped onto the surface of the channel region. Consequently, the inversion layer is formed effectively into the channel region 3 by applying voltage to the gate electrode 2, thus increasing the mobility of electrons in the region, then elevating current driving force. Punch-through currents are prevented in such a field-effect type semiconductor device.



JDS

PS/4-27270

Kokai

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許出願公告番号

特公平6-9245

(24) (44)公告日 平成6年(1994)2月2日

(51)Int.Cl. ⁹	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 29/784		9056-4M	H 0 1 L 29/ 78	3 1 1 G
		9056-4M		3 1 1 H

発明の数1(全 4 頁)

(21)出願番号 特願昭62-182144

(22)出願日 昭和62年(1987)7月23日

(65)公開番号 特開平1-27270

(43)公開日 平成1年(1989)1月30日

(71)出願人 999999999

工業技術院長

東京都千代田区霞が関1丁目3番1号

(72)発明者 間 博頼

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

審査官 河本 充雄

(56)参考文献 特開 昭60-94773(JP, A)

特開 昭60-17964(JP, A)

(54)【発明の名称】 電界効果型半導体装置

【特許請求の範囲】

【請求項1】絶縁基板上の素子形成領域に、幅Wのソース、ドレイン部が形成され、このソース、ドレイン間の前記素子形成領域に幅w(<W)のチャネル領域が形成され、このチャネル領域の開放された3方向が絶縁膜を介してゲート電極で被覆されてゲート部が形成されると共に、前記チャネル領域の幅wの寸法を、チャネル領域表面に反転層が形成されるようにゲート電極に電圧を印加した場合に、チャネル領域内部に伸びる空乏層が前記チャネル領域表面に反転層が形成される前に互いに接する寸法以下としたことを特徴とする電界効果型半導体装置。

【請求項2】前記チャネル領域の幅wは、1000Å以下の厚みを持つことを特徴とする特許請求の範囲第1項記載の電界効果型半導体装置。

【発明の詳細な説明】

【発明の目的】

(産業上の利用分野)

本発明は、半導体装置に係わり、特に絶縁膜上に形成された電界効果型トランジスタにおいて、チャネル領域を取り囲む様にゲート部を配置し、そのゲート部によってゲート部下表面のみならずゲートで取り囲まれた領域全体の電位を制御するようにしたものである。これにより従来の絶縁膜上に形成された電界効果型半導体装置よりも特性を大幅に改善した半導体装置に関する。

(従来技術)

電界効果型のトランジスタにおいて、素子の微細化に伴い様々な問題が生じてきている。例えば、デバイスのチャネル長が短くなるにつれてソース、ドレイン領域間の距離が近付きパンチスルー耐圧が低下するという問題が

生じる。また、素子の高集積化に伴い配線長が長くなり、それによる寄生容量とデバイスの電流駆動力とのアンバランス等の問題が生じている。通常、素子の微細化に伴うパンチスルー耐圧の低下については、半導体基板の不純物の濃度を上げることに依って対処しているがこれには次の様な欠点がある。半導体基板の不純物濃度を上げるとキャリアの移動度の低下やドレインのブレイクダウン電圧の低下を生ずる。従って、より素子を微細化する為には他の方法、又はそれらの併用を考えて行く必要がある。また、電界効果型のトランジスタは一般にチャネル部が活性化された場合、ゲート直下に非常に薄い反転層(100Å程度)が形成され、そこが電流のチャネルとなる為にバルク伝導型のデバイスに比べてその電流駆動力は低いという欠点がある。特に素子が微細化され素子自身の動作速度は非常に高速化されてきているが、高集積化に伴いデバイス内での配線長はますます長くなりこの寄生容量と素子の電流駆動力とのアンバランスからくる遅延については十分に改善されておらず、これがデバイス全体の高速動作の妨げとなっている。今後、更に素子の微細化および高集積化を図る上で、パンチスルー耐圧の低下が防止でき、電流駆動力の大きい(チャネルコンダクタンスの大きい)デバイスを作ることがデバイス全体高速化を図る上で非常に重要な問題となってくる。

(発明が解決しようとする問題点)

本発明は電界効果型トランジスタを微細化するに当たって問題となる前記パンチスルー耐圧の低下、電界駆動力の低下、電流駆動力の低下を抑制し、微細素子においてその素子特性を飛躍的に向上させた半導体装置を提供するものである。

(作用)

本発明による半導体装置は絶縁膜基板上に作成されており、デバイスの基板電位は固定されない。また本発明による半導体装置はチャネル領域は少なくともその三方をゲート電極に囲まれており、その寸法は例えば、チャネル表面を反転させる様にゲート電位を印加した場合にチャネル表面から伸びる空乏層がチャネル表面に反転層が形成される前に互いに接する程度小とすればチャネル領域全体のポテンシャルをゲート電極によって抑制する事が可能となる。何故ならば通常のMOS型の電界効果型トランジスタに於ては第3図(a)に示すように、チャネルを活性化させる様に金属層(M)(ゲート電極)に絶縁層(O)を介して、電圧(ゲート電圧)を印加した場合に、半導体層(S)の反転層下のチャネル表面には非常に薄い反転層(30)が形成され、そこでゲート電極から伸びてきた電気力線は終端される為にそれ以上基板側のポテンシャルをゲート電極によって制御することができない。

すなわち、反転層(30)は、真性エネルギー準位(Ei)とフェルミエネルギー準位(EF)の差を表す半導体層(S)内部

のポテンシャル($q\psi_B$)と、真性エネルギー準位(Ei)の半導体層(S)と絶縁層(O)界面でのまがり量、すなわち表面ポテンシャル($q\psi_s$)との間の関係が $q\psi_s > 2q\psi_B$ となったときに発生する。この反転層(30)は金属層(M)(ゲート)にかける電圧を次第にあげることににより形成されるが、通常、反転層(30)の深さXJは約100Å程度であり、この反転層(30)中を電子が移動することにより、ソース、ドレイン間に電流が流れる。

ここで、Ecは伝導帯のエネルギー準位、Evは、価電子帯のエネルギー準位、(31)は空乏層である。

これに対し、本発明による半導体装置は例えば、チャネル表面に反転層が形成される前に空乏層が互いに接する程度にチャネル幅を小とするので、ゲート電極から伸びた電気力線は、チャネル表面で終端されることなく、さらにチャネル領域の内部深く侵入するので、それに伴いチャネル領域のポテンシャルのゲート電極による制御性は増す。

すなわち、第3図(b)に示すように、チャネル領域(32)は、両側の絶縁層(O)及び金属層(M)により挟持される構造となっているので、金属層(M)への電圧を徐々に印加していくと空乏層は、チャネル領域(32)の内部に向かって両側からのびる。そして、前記両側からのびた空乏層がチャネル領域内で接した後、反転層が両側の絶縁層(O)下のチャネル領域表面に形成される。更にゲード電圧をあげていくとチャネル領域内のポテンシャルは上がる(エネルギー準位は下がる)ことになり、チャネル領域全体が反転層化して、チャネルとして使用できる領域は通常のデバイスよりも広いものとなる。そして結局、チャネル領域内部の電子の移動度が高まり、電流駆動力は向上する。

又、従来ではゲート電圧がカットオフの場合にチャネル領域にドレイン電圧の影響が生じ、パンチスルー現象が生じた。これに対して、本発明による半導体装置では、チャネル領域のポテンシャルがゲート電圧によって制御されており、ドレイン電圧の影響は受けないのでパンチスルーは生じない。従ってパンチスルー耐圧は非常に高く、またその電流駆動力は表面チャネル伝導型のデバイスに比べて大きなものになる。

したがって本発明を用いれば基板の不純物濃度を高くすることなくパンチスルー耐圧を高くすることが出来るためにドレインのブレイクダウン電圧の低下をまねく事なくパンチスルーに対して対処が可能である。また同時にチャネルとして使用できる領域が広がる為に電流駆動力も大きな素子をつくる事が可能である。

(実施例)

以下、本発明の詳細についてNチャネルMOSFETを例にとり、図面を用いて説明する。

まず、第1図(a)および(b)は、本発明による半導体装置の斜視図、および、この斜視図のA-A'断面図である。

第1図は、絶縁膜(図示せず)上に形成した電界効果型半導体装置を示す。(1)は幅 w ソース、ドレイン部であり、このソース、ドレイン部の間に幅 w ($<W$)のチャネル領域(3)があり、このチャネル領域を覆うようにゲート絶縁膜(4)、更にその上にゲート電極(2)が被覆されてゲート部が形成されている。

具体的には、 w は、ゲート電極に電圧を印加した時に、チャネル領域内に伸びる空乏層が前記チャネル領域表面に反転層が形成される前に互に接する寸法を以下とした。

このような構造であれば、先に述べたようにゲート電極(2)への電圧の印加によりチャネル領域(3)内に有効に反転層が形成されるので、この領域での電子の移動度は大となり、電流駆動力を大きくできる。又、このような構造の電界効果型半導体装置においては、パンチスルー電流は、防止される。

次に本発明による半導体装置の製造方法について述べる。

第2図は、その構造工程断面図である。

まず、第2図(a)のように半導体基板(5)全面にスパッタ法またはCVD法によりシリコン酸化膜(6)を例えば $1\mu\text{m}$ の厚さに堆積し、さらに、シリコン酸化膜(6)の上に多結晶シリコン酸化膜を 8000\AA の厚さに堆積した。次いでビームアニール法またはヒータによるアニール法を用いて多結晶シリコン膜を単結晶化シリコン膜(7)SOI構造の単結晶シリコン基板を形成した。

次に第2図(b)の様にMOSFET形成領域(8)を通常のリソグラフィ及び異方性食刻を用いて基板に対して垂直にシリコン酸化膜(6)に達するまでエッチングし、島状にパターンニングした。

次いで、この島状にパターンニングしたMOSFET形成領域(8)の中央部(ゲート部となる部分)の幅が第1図(a)に示したように両側に形成されるソース、ドレインよりも小となるようにRJE法等によりエッチングする。このときの中央部(ゲート部)の幅は、例えば $1\mu\text{m}$ のソース、ドレインに対して 1000\AA となるようにした。

次に、第2図(c)に示す様に酸素雰囲気中での熱酸化法によりゲート酸化膜(11)を 200\AA 形成して、ゲート電

極となる多結晶シリコン膜(12)を 4000\AA 堆積し約 900°C で燐拡散を行い多結晶シリコン膜のシート抵抗値を 30オーム 以下にし、次いで通常のNチャネルMOSFETの形成方法に従い、前記MOSFET形成領域(8)の中央部がゲート電極(12)となるようにパターンニングした。

このとき、中央部のソース、ドレイン(9)、(10)よりも幅のせまい、MOSFET形成領域(8)の部分がチャネル領域となる。このチャネル領域は前記ゲート酸化膜(11)およびゲート電極となる多結晶シリコン膜(12)によって少なくとも三方から囲まれ、ゲート部を形成する。

次にゲート電極(12)をマスクとして通常のセルフアライン法を用いてソース(9)、ドレイン(10)領域に不純物イオン注入を行う。次にCVDシリコン酸化膜(13)を 4000\AA 堆積し、そののち通常のリソグラフィ及び食刻法を用いてソース、ドレイン、ゲートに達するコンタクトホールをシリコン酸化膜に形成し、金属配線(14)を用いて配線する。

本発明はチャネルの導電の型を変更するだけでPチャネルMOSFETにも適応出来る事は明らかである。

【発明の効果】

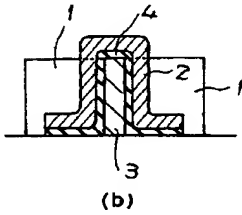
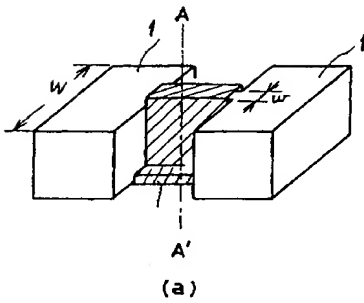
以上、述べたように、本発明によれば、チャネル幅が、例えば $1\mu\text{m}$ 以下と小さい電界効果型半導体装置において、素子の微細化にもかかわらず電流駆動力が高く、スイッチング特性の良好なパンチスルーを抑制できる良好なトランジスタを得ることができる。

【図面の簡単な説明】

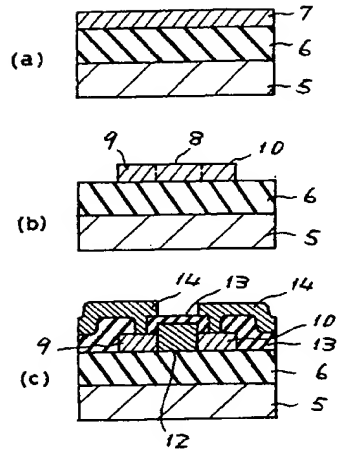
第1図(a)、(b)は、本発明による電界効果型半導体装置の一実施例を示す斜視図及び断面図、第2図は、本発明による電界効果型半導体装置の一実施例の製造工程断面図、第3図は本発明の作用を説明するための図である。

- 1, 9, 10……ソース、ドレイン
- 2, 12……ゲート電極
- 4……ゲート絶縁膜
- 3……チャネル領域
- 5……基板
- 6……絶縁膜

【第1図】



【第2図】



【第3図】

